

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re: Kang et al.

Application No.: To Be Assigned

Filed: Concurrently Herewith

For: **FERROELECTRIC MEMORY DEVICES HAVING AN EXPANDED PLATE  
ELECTRODE AND METHODS FOR FABRICATING THE SAME**

February 26, 2004

Mail Stop PATENT APPLICATION

Commissioner for Patents

PO Box 1450

Alexandria, VA 22313-1450

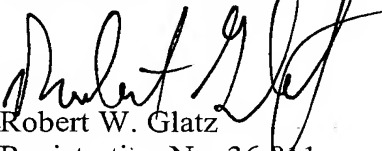
SUBMITTAL OF PRIORITY DOCUMENT

Sir:

To complete the requirements of 35 USC 119, enclosed is a certified copy of the  
following Korean priority application:

2003-0012765, filed February 28, 2003.

Respectfully submitted,

  
Robert W. Glatz  
Registration No. 36,811

Myers Bigel Sibley & Sajovec, P.A.

P. O. Box 37428

Raleigh, North Carolina 27627

Telephone: (919) 854-1400

Facsimile: (919) 854-1401


Customer No. 20792

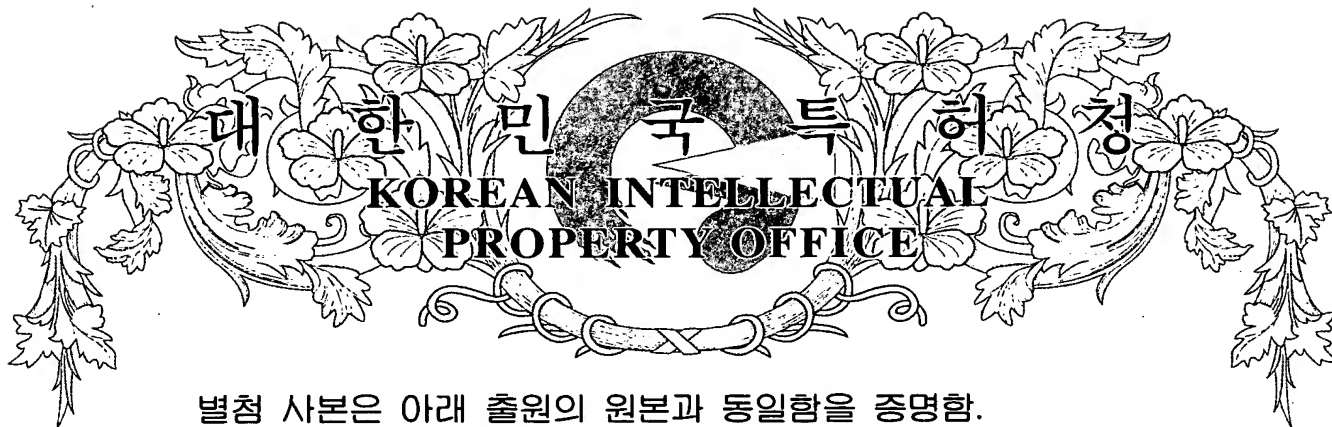
CERTIFICATE OF EXPRESS MAILING

Express Mail Label No. EV 193586107 US

Date of Deposit: February 26, 2004

I hereby certify that this correspondence is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR § 1.10 on the date indicated above and is addressed to: Mail Stop PATENT APPLICATION, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450

  
Carey Gregory



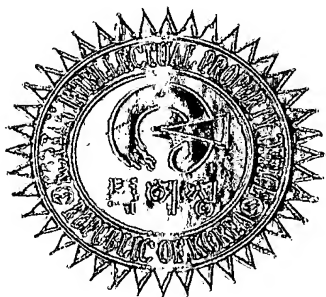
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0012765  
Application Number

출원 년 월 일 : 2003년 02월 28일  
Date of Application FEB 28, 2003

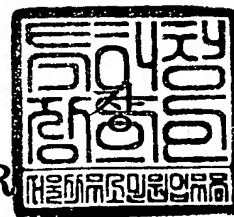
출원인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 10 월 01 일

특 허 청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2003.02.28
【발명의 명칭】	확장된 플레이트 전극을 갖는 강유전체 기억소자 및 그 제조방법
【발명의 영문명칭】	FERROELECTRIC MEMORY DEVICE HAVING EXPANDED PLATE ELECTRODES AND METHOD OF FABRICATING THE SAME
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	강현열
【성명의 영문표기】	KANG, HYUN-YUL
【주민등록번호】	751005-1114230
【우편번호】	405-221
【주소】	인천광역시 남동구 구월1동 1229-7 11/6
【국적】	KR
【발명자】	
【성명의 국문표기】	장낙원
【성명의 영문표기】	JANG, NAK-WON
【주민등록번호】	671107-1156813

**【우편번호】** 151-014  
**【주소】** 서울특별시 관악구 신림4동 495-14호  
**【국적】** KR  
**【발명자】**  
**【성명의 국문표기】** 송윤종  
**【성명의 영문표기】** SONG,YOON JONG  
**【주민등록번호】** 711012-1182718  
**【우편번호】** 137-131  
**【주소】** 서울특별시 서초구 양재1동 양재우성아파트 108동 1502호  
**【국적】** KR  
**【심사청구】** 청구  
**【취지】** 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의  
한 출원심사 를 청구합니다. 대리인  
임창현 (인) 대리인  
권혁수 (인)  
**【수수료】**  
**【기본출원료】** 20 면 29,000 원  
**【가산출원료】** 12 면 12,000 원  
**【우선권주장료】** 0 건 0 원  
**【심사청구료】** 17 항 653,000 원  
**【합계】** 694,000 원  
**【첨부서류】** 1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

확장된 플레이트 전극을 갖는 강유전체 기억소자 및 그 제조방법을 제공한다. 이 강유전체 기억소자는 반도체기판 상에 형성된 하부 층간절연막을 구비한다. 하부 층간절연막 상에 복수개의 강유전체 커패시터들이 행 방향 및 열 방향을 따라 2차원적으로 배열된다. 복수개의 강유전체 커패시터들을 갖는 반도체기판의 전면은 상부 층간절연막에 의해 덮여진다. 상부 층간절연막은 각각의 강유전체 커패시터들 상에 배치된 복수개의 비아홀들을 갖는다. 상부 층간절연막은 차례로 적층된 제1 및 제2 상부 층간절연막으로 구성될 수 있다. 상부 층간절연막 내에 열 방향과 평행한 복수개의 플레이트 전극들이 배치된다. 플레이트 전극들의 각각은 비아홀들을 통하여 서로 이웃한 적어도 2개의 행들(rows) 상에 배열된 강유전체 커패시터들의 상부면들과 직접적으로 접촉한다.

**【대표도】**

도 3

## 【명세서】

## 【발명의 명칭】

확장된 플레이트 전극을 갖는 강유전체 기억소자 및 그 제조방법 {FERROELECTRIC MEMORY DEVICE HAVING EXPANDED PLATE ELECTRODES AND METHOD OF FABRICATING THE SAME}

## 【도면의 간단한 설명】

도 1은 종래의 강유전체 기억소자를 설명하기 위한 단면도들이다.

도 2는 본 발명에 따른 강유전체 기억소자의 셀 어레이 영역을 보여주는 평면도이다.

도 3는 본 발명의 일 실시예에 따른 강유전체 기억소자를 설명하기 위한 사시도이다.

도 4 내지 도 10는 도 2의 I-I'에 따라 본 발명의 일 실시예에 따른 강유전체 기억소자의 제조방법을 설명하기 위한 단면도들이다.

## 【발명의 상세한 설명】

## 【발명의 목적】

## 【발명이 속하는 기술분야 및 그 분야의 종래기술】

<5> 본 발명은 반도체소자 및 그 제조방법에 관한 것으로, 특히 확장된 플레이트 라인을 갖는 강유전체 기억소자 및 그 제조방법에 관한 것이다.

<6> 반도체소자들 중에 강유전체 기억소자는 전원이 공급되지 않을지라도 전 상태의 데이터(previous data)를 간직하는 비휘발성 특성을 갖는다. 이에 더하여, 강유전체 기억소자는 디램 및 에스램과 같이 낮은 전원전압에서 동작하는 특성을 갖는다. 따라서, 강유전체 기억소자는 스마트 카드(smart card) 등에 널리 사용될 수 있는 유력한 후보로 각광을 받고 있다.

<7> 도 1은 종래의 강유전체 기억소자를 설명하기 위한 단면도들이다.

<8> 도 1을 참조하면, 반도체 기판(10)에 소자분리막(12)이 배치되어 활성영역(14)을 한정한다. 상기 활성영역(14)을 가로질러 복수개의 게이트 전극(20), 즉 워드라인들이 배치된다. 상기 게이트 전극들(20)에 인접한 활성영역(14) 내에 소오스 영역(18) 및 드레인 영역(16)이 형성된다. 상기 게이트 전극들(20)이 형성된 기판 상에 제1 하부 층간절연막(24)이 형성되고, 상기 제1 하부 층간절연막(24)을 관통하여 상기 드레인 영역(18)에 접속된 비트라인들(26)이 배치된다. 비트라인들(26)을 갖는 상기 제1 하부 층간절연막(24) 상의 전면에 제2 하부 층간절연막(28)이 형성된다. 상기 제2 및 제1 하부 층간절연막(24, 28)을 관통하여 상기 각 소오스 영역들(18)에 스토리지 노드 플러그(32)가 배치된다. 상기 제2 하부 층간절연막(28) 상에 상기 각 스토리지 노드 플러그(32)에 접속된 커패시터들(40)이 형성된다. 상기 각 커패시터들(40)은 상기 스토리지 노드 플러그(32)에 직접 접속된 하부 전극(34), 상기 하부 전극(34) 상의 커패시터 유전막(36) 및 상기 커패시터 유전막(36) 상의 상부 전극(38)으로 구성된다. 상기 커패시터들(40)이 형성된 기판 상에 상부 절연막(42)이 형성된다. 상기 상부 절연막(42)은 상기 각각의 커패시터들(40)의 상부면을 노출시키는 콘택홀(44)들이 형성되고, 상기 콘택홀(44)에는 상기 커패시터들(40)의 상부면에 직접 접속되는 플레이트 전극(46)이 형성된다. 통상적으로, 상기 커패시터들(40)은 상기 제2 하부 층간절연막(28) 상에 행방향 및 열방향을 갖는 2차원적으로 배치되고, 상기 플레이트 전극들(46)은 각각 1행 상에 배열된 커패시터들(40) 상에 직접 접속된다.

<9> 종래의 강유전체 기억소자에서 플레이트 전극들(46)은 각각 1 행 상에 배열된 커패시터들에 접속된다. 따라서, 집적도가 증가됨에 따라 커패시터들의 면적이 작아지고, 인접한 커패시터들 간의 간격이 줄어들기 때문에 커패시터의 상부면을 노출시키는 콘택 홀(44)을 형성하기가 어려워진다. 비록 콘택홀(44)이 형성되더라도 두꺼운 상부절연막(42)에 형성된 콘택홀(44)

의 중형비가 높기 때문에 플레이트 전극(46)의 증착이 어려워 접촉저항이 높아지는 문제를 유발할 수 있다.

**【발명이 이루고자 하는 기술적 과제】**

<10> 본 발명이 이루고자 하는 기술적 과제는 플레이트 전극과 상부전극 사이의 접촉저항이 낮은 강유전체 기억소자 및 그 제조방법을 제공하는데 있다.

<11> 본 발명이 이루고자 하는 다른 기술적 과제는, 플레이트 전극과 상부전극 사이의 전기적 접촉이 용이함과 동시에, 분극특성이 균일한 강유전체 기억소자를 제조할 수 있는 제조방법을 제공하는데 있다.

**【발명의 구성 및 작용】**

<12> 상기 기술적 과제를 이루기 위하여 본 발명은 서로 이웃하는 적어도 2개의 행들(rows) 상에 배열된 상부전극들과 직접적으로 접촉하는 확장된(expanded) 플레이트 전극을 갖는 강유전체 기억소자를 제공한다. 이 강유전체 기억소자는 반도체기판 상에 형성된 하부 층간절연막을 구비한다. 상기 하부 층간절연막 상에 복수개의 강유전체 커패시터들이 행 방향 및 열 방향을 따라 2차원적으로 배열된다. 상기 복수개의 강유전체 커패시터들을 갖는 반도체기판의 전면은 상부 층간절연막에 의해 덮여진다. 상기 상부 층간절연막은 각각의 강유전체 커패시터들 상에 배치된 복수개의 비아홀들을 갖는다. 상기 상부 층간절연막은 차례로 적층된 제1 및 제2 상부 층간절연막으로 구성될 수 있다. 상기 상부 층간절연막 내에 상기 열 방향과 평행한 복수개의 플레이트 전극들이 배치된다. 상기 플레이트 전극들의 각각은 상기 비아홀들을 통하여 서로 이웃한 적어도 2개의 행들(rows) 상에 배열된 상기 강유전체 커패시터들의 상부면들과 직접적



으로 접촉한다. 결과적으로, 서로 이웃하는 적어도 2개의 행들 상에 배열된 상기 강유전체 커패시터들은 하나의 플레이트 전극을 공유한다.

<13>        상기 플레이트 전극은 상기 상부 층간절연막에 의해 덮여진 국부 플레이트 라인(local plate line)이거나, 상기 비아홀들을 통하여 서로 이웃하는 적어도 2개의 상기 강유전체 커패시터들에 직접 접촉하는 국부 플레이트 전극 및 적어도 1행 상에 배열된 상기 국부 플레이트 전극들에 직접 접촉하는 주 플레이트 라인(main plate line)을 포함할 수 있다. 상기 주 플레이트 라인은 상기 상부 층간절연막을 관통하여 상기 국부 플레이트 전극들을 노출시키는 슬릿형 콘택홀에 형성된다.

<14>        한편, 상기 강유전체 커패시터들의 각각은 차례로 적층된 하부전극(bottom electrode), 강유전체막 패턴(ferroelectric layer pattern) 및 상부전극(top electrode)으로 구성된다. 이 경우에, 상기 플레이트 라인들의 각각은 서로 이웃하는 적어도 2개의 행들 상에 배열된 상기 상부전극들과 직접적으로 접촉한다.

<15>        상기 다른 기술적 과제를 이루기 위하여 본 발명은 서로 이웃하는 적어도 2개의 행들(rows) 상에 배열된 상부전극들과 직접적으로 접촉하는 확장된(expanded) 플레이트 전극을 갖는 강유전체 기억소자의 제조방법을 제공한다. 이 방법은 반도체기판 상에 하부 층간절연막을 형성하는 것을 포함한다. 상기 하부 층간절연막 상에 행 방향 및 열 방향을 따라 2차원적으로 배열된 복수개의 강유전체 커패시터들을 형성한다. 상기 강유전체 커패시터들을 갖는 반도체기판의 전면에 상부 층간절연막 및 상기 상부 층간절연막 내에 배치된 복수개의 플레이트 전극들을 형성한다. 상기 상부 층간절연막은 각각의 상기 강유전체 커패시터들 상에 배치된 복수개의 비아홀들을 가지고, 상기 플레이트 라인은 상기 비아홀들을 통하여 상기 강유전체 커패시터들의 상부면들에 직접 접촉한다. 상기 플레이트 전극들의 각각은 서로 이웃하는 적어도 2개의 행

들 상에 배열된 상기 강유전체 커패시터들의 상부면들과 직접적으로 접촉한다. 또한, 상기 상부 층간절연막은 제1 및 제2 상부 층간절연막을 차례로 적층시킴으로써 형성할 수 있다.

<16>        상기 복수개의 강유전체 커패시터들을 형성하는 방법은 상기 하부 층간절연막 상에 하부 전극막, 강유전체막 및 상부전극막을 차례로 형성하는 것과, 상기 상부전극막, 강유전체막 및 하부전극막을 연속적으로 패터닝하는 것을 포함한다. 이에 따라, 상기 강유전체 커패시터들의 각각은 차례로 적층된 하부전극, 강유전체막 패턴 및 상부전극으로 구성된다. 이 경우에, 상기 플레이트 라인들의 각각은 서로 이웃하는 적어도 2개의 행들 상에 배열된 상기 상부전극들과 접촉한다.

<17>        한편, 상기 상부 층간절연막 및 상기 복수개의 플레이트 라인들을 형성하는 방법은 상기 복수개의 강유전체 커패시터들을 갖는 반도체기판의 전면에 제1 상부 층간절연막을 형성하는 것을 포함한다. 상기 제1 상부 층간절연막을 패터닝하여 각각의 상기 강유전체 커패시터들의 상부면들을 노출시키는 복수개의 비아홀들을 형성한다. 상기 비아홀들이 형성된 반도체 기판의 전면에 하부 플레이트막을 형성한다. 상기 하부 플레이트막을 패터닝하여 상기 비아홀들을 통하여 서로 이웃하는 적어도 2개의 강유전체 커패시터들의 상부면들과 직접 접촉하는 국부 플레이트 전극을 형성한다. 이어서, 상기 국부 플레이트 라인을 갖는 반도체기판의 전면에 제2 상부 층간절연막을 형성한다. 상기 제2 상부 층간절연막을 패터닝하여 상기 주 워드라인들과 평행한 슬릿형 비아홀을 형성한다. 상기 슬릿형 비아홀은 상기 제2 상부 층간절연막을 관통하여 적어도 1열 상에 배치된 상기 국부 플레이트 전극들을 노출시킨다. 상기 슬릿형 비아홀을 덮는 주 플레이트 라인을 형성한다. 다른 방법으로, 상기 하부 플레이트막을 패터닝하여 상기 비아홀들을 통하여 서로 이웃하는 적어도 2열 상에 배치된 강유전체 커패시터들의 상부면들과 직접

접촉하는 국부 플레이트 라인을 형성할 수도 있다. 이때, 상기 슬릿형 비아홀 및 상기 주 플레이트 라인은 형성하거나 형성하지 않을 수 있다.

<18>        상기 강유전체 커패시터들의 각각이 차례로 적층된 상기 하부전극, 상기 강유전체막 패턴 및 상기 상부전극으로 형성할 수 있다. 상기 하부전극들의 각각은 상기 하부 층간절연막을 관통하는 스토리지 노드 콘택홀을 통하여 상기 반도체기판의 소정영역과 전기적으로 접속된다. 상기 스토리지 노드 콘택홀의 상부 직경은 그 것의 하부직경보다 큰 것이 바람직하다. 또한, 적어도 상기 강유전체막 패턴의 측벽에 수소차단막을 형성하는 것이 바람직하다.

<19>        이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예들을 상세히 설명하기로 한다. 그러나, 본 발명은 여기서 설명되어지는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예들은 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되어지는 것이다. 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과장되어진 것이다. 또한, 층이 다른 층 또는 기판 "상"에 있다고 언급되어지는 경우에 그것은 다른 층 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제3의 층이 개재될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다.

<20>        도 2는 본 발명에 따른 강유전체 기억소자의 셀 어레이 영역의 일 부분을 보여주는 평면도이고, 도 3은 본 발명의 바람직한 실시예에 따른 강유전체 기억소자를 설명하기 위한 사시도들이다.

<21>        도 2 및 도 3을 참조하면, 반도체기판(50)의 소정영역에 소자분리막(52)이 배치된다. 상기 소자분리막(52)은 2차원적으로 배열된 복수개의 활성영역들(54)을 한정한다. 상기 활성영역들(54) 및 소자분리막(52)를 가로질러 복수개의 절연된(insulated) 게이트 전극들(60), 즉 복

수개의 워드라인들이 배치된다. 상기 게이트 전극들(60)은 행 방향(y축)과 평행하다. 상기 활성영역들(54)의 각각은 상기 한 쌍의 게이트 전극들(60)과 교차한다. 이에 따라, 상기 각 활성영역(54)은 3개의 부분으로 나뉘어진다. 상기 한 쌍의 게이트 전극들(60) 사이의 활성영역(54)에 공통 드레인 영역(56)이 형성되고, 상기 공통 드레인 영역(56)의 양 옆의 활성영역들(54)에 소오스 영역들(58)이 형성된다. 따라서, 상기 게이트 전극(60)들 및 상기 활성영역들(54)이 교차하는 지점들(points)에 셀 트랜지스터들이 형성된다. 결과적으로, 셀 트랜지스터들은 열 방향(x축) 및 행 방향(y축)을 따라 2차원적으로 배열된다.

<22>        상기 공통 드레인 영역(56) 상의 상기 게이트 전극들(60) 사이의 갭 영역에 드레인 패드(56)가 형성될 수 있고, 상기 소오스 영역들(58) 상의 상기 게이트 전극들(60) 사이의 갭 영역에 소오스 패드(58)들이 형성될 수 있다. 상기 셀 트랜지스터들을 갖는 반도체기판의 전면은 제1 하부 층간절연막(64)에 의해 덮여진다. 상기 제1 하부 층간절연막(64) 내에 상기 워드라인들(60)의 상부를 가로지르는 복수개의 비트라인들(66)이 배치된다. 상기 비트라인들(66)의 각각은 비트라인 콘택홀(66a)을 통하여 상기 공통 드레인 영역(56)과 전기적으로 접속된다. 상기 비트라인들(66)을 갖는 반도체 기판의 전면은 제2 하부 층간절연막(68)에 의해 덮여진다. 상기 소오스 영역들(58)은 상기 제1 및 제2 하부 층간절연막(64, 68)을 관통하는 스토리지 노드 콘택홀들(72a)에 의해 노출된다. 상기 스토리지 노드 콘택홀(72a)의 상부측벽(upper sidewall)은 경사진 프로파일(sloped profile)을 갖는 것이 바람직하다. 상기 스토리지 노드 콘택홀들(72a)은 각각 콘택 플러그들(72)에 의해 채워진다. 결과적으로, 도 3에 도시된 바와 같이 상기 콘택 플러그(72)의 상부직경은 그것의 하부직경보다 크다.

<23>        상기 콘택 플러그들(72)를 갖는 반도체기판의 전면에 상기 열 방향(x축) 및

상기 행 방향(y축)을 따라 2차원적으로 배열된 복수개의 강유전체 커패시터들(40)이 배치된다. 상기 강유전체 커패시터들(80)의 각각은 차례로 적층된 하부전극(74), 강유전체막 패턴(76) 및 상부전극(78)을 포함한다. 상기 하부전극들(74)은 각각 상기 콘택 플러그들(72) 상에 위치한다. 결과적으로, 상기 하부전극(74)은 상기 콘택 플러그(72)를 통하여 상기 소오스 영역(58)과 전기적으로 접속된다. 상기 강유전체 커패시터들(80)은 제1 상부 층간절연막(84)에 의해 덮여진다.

<24> 이에 더하여, 상기 제1 상부 층간절연막(84) 및 상기 강유전체 커패시터들(80) 사이에 수소차단막(hydrogen barrier layer; 82)이 개재되는 것이 바람직하다. 상기 수소차단막(70)은 타이타늄 산화막( $TiO_2$ ), 알루미늄 산화막( $Al_2O_3$ ), 실리콘 질화막( $Si_3N_4$ ) 또는 이들의 조합막(combination layer)인 것이 바람직하다. 따라서, 상기 강유전체막 패턴(36) 내부로 수소원자들이 침투되는 것을 방지할 수 있다. 상기 강유전체막 패턴(36) 내에 수소원자들이 주입하면, 강유전체막 패턴(36)의 신뢰성이 저하된다. 예를 들어, PZT( $Pb, Zr, TiO_3$ )막과 같은 강유전체막 내에 수소원자들이 주입되면, 상기 PZT막 내의 산소 원자들과 상기 수소 원자들이 반응하여 PZT막 내에 산소 공공(oxygen vacancy)이 생성된다. 이러한 산소 공공은 강유전체의 분극특성(polarization characteristic)을 저하시킨다. 그 결과, 강유전체 기억소자의 오동작(malfunction)을 유발시킨다.

<25> 또한, 상기 수소원자들이 강유전체막 패턴 및 상/하부 전극들(top/bottom electrodes) 사이의 계면에 포획되면, 이들 사이의 에너지 장벽(energy barrier)이 낮아진다. 따라서, 강유전체 커패시터의 누설전류 특성이 저하된다. 결론적으로, 상기 수소차단막(70)은 상기 강유전체 커패시터(80)의 특성 및 신뢰성을 향상시킨다.

- <26>      상기 제1 상부 층간절연막(84)는 각각의 상기 강유전체 커패시터들(80) 상부에 배치된 비아홀들(85)을 가진다. 상기 제1 상부 층간절연막(84) 상에 복수개의 국부 플레이트 라인들(local plate lines; 86a)이 배치된다. 상기 국부 플레이트 라인들(86a)은 상기 행 방향(y축)과 평행하도록 배치된다. 또한, 상기 국부 플레이트 라인들(86a)의 각각은 상기 비아홀들(85)을 통하여 서로 이웃하는 적어도 2개의 행들 상에 배열된 상기 강유전체 커패시터들(80)의 상부면들이 직접 접촉한다. 상기 국부 플레이트 라인들(86a)을 갖는 반도체기판의 전면은 제2 상부 층간절연막(88)에 의해 덮여진다.
- <27>      상기 상부 층간절연막 내에 주 플레이트 라인(PL)이 배치될 수 있다. 상기 주 플레이트 라인(PL)은 상기 제2 상부 층간절연막(88)을 관통하는 슬릿형 콘택홀(90)을 통하여 상기 국부 플레이트 라인(86a)과 전기적으로 접속된다. 상기 슬릿형 콘택홀(90)은 상기 행 방향(y축)과 평행하다. 도 3에 보여진 바와 같이, 상기 슬릿형 콘택홀(90)의 폭은 종래기술에서의 비아홀(도 1의 44)의 직경보다 크다.
- <28>      상기 국부 플레이트 라인(86a) 및 상기 주 플레이트 라인(PL)은 플레이트 전극을 구성한다. 상기 국부 플레이트 라인(86a)은 이웃한 적어도 2개의 상기 강유전체 커패시터들(40)의 상부면들에 직접 접속된 국부 플레이트 전극일 수도 있다. 이 경우, 상기 슬릿형 콘택홀(90)은 적어도 1열 상에 배치된 상기 국부 플레이트 전극들의 상부면들을 노출시키고, 상기 주 플레이트 전극(PL)은 적어도 1열 상에 배치된 상기 국부 플레이트 전극들의 상부면들에 직접 접촉한다.
- <29>      더 나아가서, 상기 플레이트 전극은 상기 국부 플레이트 라인(86a)만으로 구성될 수도 있다.
- <30>      다음에, 본 발명에 따른 강유전체 기억소자의 제조방법을 설명하기로 한다.

- <31> 도 4 내지 도 10은 도 2의 I-I'에 따라 본 발명의 바람직한 실시예에 따른 강유전체 기억소자의 제조방법을 설명하기 위한 단면도들이다.
- <32> 도 4를 참조하면, 반도체기판(50)의 소정영역에 소자분리막(52)을 형성하여 복수개의 활성영역들(54)을 한정한다. 상기 활성영역들(54)을 갖는 반도체기판의 전면에 게이트 절연막, 게이트 도전막 및 캐핑절연막을 차례로 형성한다. 상기 캐핑절연막, 게이트 도전막 및 게이트 절연막을 연속적으로 패터닝하여 상기 활성영역들(54) 및 소자분리막(52)의 상부를 가로지르는 복수개의 평행한 게이트 패턴들(60)을 형성한다. 상기 게이트 패턴들(60)의 각각은 차례로 적층된 게이트 절연막 패턴, 게이트 전극 및 캐핑절연막 패턴으로 구성된다. 여기서, 상기 활성영역들(54)의 각각은 상기 한 쌍의 게이트 전극들(60)과 교차한다. 상기 게이트 전극(60)은 워드라인에 해당한다.
- <33> 상기 게이트 패턴들(60) 및 상기 소자분리막(52)을 이온주입 마스크들로 사용하여 상기 활성영역들에 불순물 이온들을 주입한다. 그 결과, 상기 각 활성영역에 3개의 불순물 영역들이 형성된다. 이들 3개의 불순물 영역들중 가운데의 불순물 영역은 공통 드레인 영역(56)에 해당하고, 나머지 불순물 영역들은 소오스 영역들(58)에 해당한다. 이에 따라, 상기 각 활성영역에 한 쌍의 셀 트랜지스터들이 형성된다. 결과적으로, 상기 셀 트랜지스터들은 상기 반도체기판(50)에 행 방향 및 열 방향을 따라 2차원적으로 배열된다. 이어서, 상기 게이트 패턴(60)의 측벽에 통상의 방법을 사용하여 스페이서를 형성한다.
- <34> 상기 공통 드레인 영역(56) 상의 상기 게이트 패턴들(60) 사이의 겹영역에 드레인 패드(62d)를 더 형성할 수도 있고, 상기 소오스 영역들(58) 상의 상기 게이트 패턴들(60) 사이의 겹영역에 소오스 패드들(62s)을 더 형성할 수도 있다.

<35> 계속해서 도 4를 참조하면, 상기 도체기판의 전면에 제1 하부 층간절연막(64)을 형성한다. 상기 제1 하부 층간절연막(64)을 패터닝하여 상기 드레인 패드들(62d)를 노출시키는 비트라인 콘택홀들(66a)을 형성하고, 상기 제1 하부 층간절연막(64) 상에 상기 비트라인 콘택홀들(66a)을 통하여 상기 공통 드레인 영역들(56)에 전기적으로 접속된 복수개의 평행한 비트라인들(66)을 형성한다. 상기 비트라인들(66)은 상기 워드라인들(60)의 상부를 가로지른다. 상기 비트라인(66)이 형성된 반도체기판 전면에 제2 하부 층간절연막(68)을 형성한다. 상기 제1 및 제2 하부 층간절연막들(64, 68)은 하부 층간절연막을 구성한다. 이어서, 상기 제1 및 제2 하부 층간절연막들(64, 68)을 패터닝하여 상기 소오스 패드들(62s)을 노출시키는 스토리지 노드 콘택홀들(72a)을 형성한다. 상기 스토리지 노드 콘택홀(72a)은 그 것의 상부 직경을 증가시키기 위하여 습식 식각공정 및 건식 식각공정을 사용하여 형성할 수 있다. 이에 따라, 상기 스토리지 노드 콘택홀의 상부 측벽은 도시킨 바와 같이 경사진 프로파일을 가질 수 있다. 이는 후속공정에서 형성되는 하부전극과 상기 소오스 영역(58) 사이의 전기적인 저항을 감소시키기 위함이다. 상기 스토리지 노드 콘택홀들(72a) 내에 콘택 플러그들(72)을 형성한다.

<36> 도 5를 참조하면, 상기 콘택 플러그들(72) 및 상기 제2 하부 층간절연막(68) 상에 하부 전극막, 강유전체막 및 상부전극막을 차례로 형성한다. 상기 상부전극막, 강유전체막 및 하부 전극막을 연속적으로 패터닝하여 행 방향 및 열 방향을 따라 2차원적으로 배열된 복수개의 강유전체 커패시터들(80)을 형성한다. 상기 강유전체 커패시터들(80)의 각각은 차례로 적층된 하부전극(74), 강유전체막 패턴(76) 및 상부전극(78)을 포함한다. 상기 하부전극들(74)은 각각 상기 콘택 플러그들(72)과 접촉한다. 결과적으로, 상기 강유전체 커패시터들(80)은 각각 상기 소오스 영역들(58)과 전기적으로 접속된다. 이어서, 상기 강유전체 커패시터들(80)이 형성된 결과물의 전면에 수소차단막(hydrogen barrier layer; 82)을 콘포말하게 형성할 수도 있다. 상



기 수소차단막(83)은 타이타늄 산화막( $TiO_2$ ), 알루미늄 산화막( $Al_2O_3$ ), 실리콘 질화막( $Si_3N_4$ ) 또는 이들의 조합막으로 형성하는 것이 바람직하다.

<37> 도 6을 참조하면, 상기 수소 차단막(82)가 형성된 반도체 기판의 전면에서 제1 상부 층간 절연막(84)을 형성한다. 상기 제1 상부 층간절연막(84)은 USG막 및 SOG막을 적층하여 형성할 수 있다.

<38> 도 7을 참조하면, 상기 강유전체 커패시터(80) 상에 적당한 두께의 상기 제1 상부 층간 절연막(84)이 덮여지도록 상기 제1 상부 층간절연막(84)을 리세스시킨다. 상기 강유전체 커패시터(80) 상에 잔존하는 상기 제1 상부 층간절연막(84)의 두께는 후속공정에서 형성되는 비아 홀의 종횡비 및 하부 플레이트막의 갭필성을 고려하여 조절할 수 있다.

<39> 계속해서, 상기 제1 상부 층간절연막(84) 및 상기 수소차단막(82)을 패터닝하여 각각의 상기 강유전체 커패시터들(80)의 상부면들을 노출시키는 복수개의 비아홀들(85)을 형성한다. 상기 수소차단막(82)은 상기 강유전체 커패시터들(80)의 측벽, 즉 상기 강유전체막 패턴들(76)의 측벽을 덮는다. 따라서, 상기 강유전체막 패턴들(76) 내부로 수소원자들이 주입되는 것을 방지할 수 있다. 상기 강유전체막 패턴들(76) 내에 수소원자들이 주입되면, 분극특성 및 누설 전류 특성과 같은 강유전체 커패시터들(80)의 특성이 저하된다. 결과적으로, 상기 수소차단막(82)은 강유전체 커패시터(80)의 특성을 향상시킨다.

<40> 도 8을 참조하면 상기 비아홀들(85)이 형성된 반도체 기판의 전면에서 하부 플레이트막(86)을 형성한다. 상기 하부 플레이트막(86)은 상기 비아홀들(85)을 통하여 상기 강유전체 커패시터들(80)의 상부면들에 직접 접촉한다.

<41>        상기 제1 상부층간 절연막(84) 및 상기 수소차단막(82)을 CMP등을 사용하여 평탄화함으로써 상기 강유전체 커패시터들(80)의 상부면을 노출시키고, 상기 제1 상부층절연막(84) 상에 상기 하부 플레이트막(86)을 형성할 수도 있다. 그러나, 이 경우, 웨이퍼의 영역별 연마균일도에 의해 상기 상부 전극(78)의 노출정도가 균일하지 않을 수 있고, 상기 강유전체막 패턴(76)의 측벽의 상기 수소차단막(82)이 제거될 수도 있다. 이는 강유전체 커패시터의 특성을 저하시키고, 특성의 균일도를 떨어뜨릴 수 있다.

<42>        도 9를 참조하면, 상기 하부 플레이트막을 패터닝하여 서로 이웃한 적어도 2개의 강유전체 커패시터들(80)의 상부면에 직접 접촉하는 국부 플레이트 전극(86)을 형성한다. 바람직하게는, 상기 국부 플레이트 전극(86)은 도 2의 x축 및 y축 방향으로 각각 2개, 다시말해서 서로 이웃하는 4개의 강유전체 커패시터들(80)의 상부면들에 직접 접촉할 수 있다. 또다른 방법으로, 상기 국부 플레이트 전극(86)은 상기 워드라인들(60)과 평행한 복수개의 국부 플레이트 라인들(local plate line)로 형성할 수도 있다. 다시 말해서, 상기 복수개의 국부 플레이트 라인들은 행 방향(도 2의 y축)과 평행하다. 상기 국부 플레이트 라인들의 각각은 서로 이웃하는 2개의 행들을 따라 배열된 복수개의 상부전극들(78)과 직접적으로 접촉한다. 상기 국부 플레이트 전극들(86a)을 갖는 반도체기판의 전면에 제2 상부 층간절연막(88)을 형성한다. 상기 상부 층간절연막을 패터닝하여 상기 국부 플레이트 전극들(86a)을 노출시키는 슬릿형 비아홀(90)을 형성한다. 상기 슬릿형 비아홀(90)은 적어도 1행 상에 배치된 상기 국부 플레이트 전극들(86a)의 상부면을 노출시킨다. 상기 슬릿형 비아홀(90)은 도시된 바와 같이 종래기술에 비하여 넓은 폭을 갖는다. 즉, 상기 슬릿형 비아홀(90)의 종횡비를 더욱 감소시키기 위하여 상기 슬릿형 비아홀(90)을 습식 식각공정 및 건식 식각공정을 사용하여 형성할 수 있다. 결과적으로, 상기 슬

릿형 비아홀(90)의 종횡비를 종래기술에 비하여 현저히 감소시킬 수 있음은 물론 상기 국부 플레이트 전극(86a)의 노출면적을 극대화시킬 수 있다.

<43> 도 10을 참조하면, 상기 슬릿형 비아홀(90)이 형성된 결과물의 전면에 금속막과 같은 상부 플레이트막(92)을 형성한다. 이때, 상기 슬릿형 비아홀(90)의 종횡비가 현저히 낮으므로 상기 상부 플레이트막(92)은 우수한 단차도포성(step coverage)을 보인다. 상기 상부 플레이트막을 패터닝하여 상기 슬릿형 비아홀(90)을 덮는 주 플레이트 라인(main plate line; 도 3의 PL)을 형성한다.

<44> 상기 국부 플레이트 전극(86a)을 상기 국부 플레이트 라인의 형태로 형성할 경우, 상기 주 플레이트 라인(도 3의 PL)은 필요하지 않을 수 있다. 그러나, 우수한 전기전도성을 위하여 국부 플레이트 라인 형태의 플레이트 전극(86a)을 형성하더라도, 상기 주 플레이트 라인(도 3의 PL)을 형성하는 것이 바람직하다.

<45> 본 발명은 상기한 실시예들에 한정되지 않고, 당업자의 수준에서 변형 및 개량이 가능하다. 예를 들면, 상기 플레이트 라인들의 각각은 서로 이웃하는 3개 이상의 행들 상에 배열된 강유전체 커패시터들을 덮을 수도 있다.

#### 【발명의 효과】

<46> 상술한 바와 같이 본 발명에 따르면, 하나의 플레이트 라인이 셀 어레이 영역 내에 서로 이웃한 적어도 2개의 행들 상에 배열된 강유전체 커패시터들의 상부전극들과 직접적으로 접촉한다. 이에 따라, 상기 플레이트 라인 및 상부전극 사이에 신뢰성 있는 콘택 구조를 구현할 수 있다.

- <47> 이에 더하여, 상기 플레이트 라인은 각각의 강유전체 커패시터들의 상부면들 상에 배치된 비아홀들을 통해서 상기 커패시터들의 상부전극들과 직접 접촉함으로써, 공정 균일도의 저하에 따른 강유전체 커패시터의 특성이 불균일해지는 것을 막을 수 있다.
- <48> 결과적으로, 강유전체 기억소자의 집적도를 증가시키는 것과 아울러 그것의 신뢰성을 향상시키는 것이 가능하다.

**【특허청구범위】****【청구항 1】**

반도체기판 상에 형성된 하부 층간절연막;

상기 하부 층간절연막 상에 행 방향 및 열 방향을 따라 2차원적으로 배열된 복수개의 강유전체 커패시터들;

상기 복수개의 강유전체 커패시터들을 갖는 반도체기판의 전면에 적층되되, 상기 각각의 강유전체 커패시터들 상에 배치된 비아홀들을 갖는 상부 층간절연막; 및

상기 상부 층간절연막 내에 형성된 복수개의 플레이트 전극들을 포함하되, 상기 플레이트 전극들의 각각은 상기 비아홀을 통하여 서로 이웃한 적어도 2개의 강유전체 커패시터들의 상부면들과 직접적으로 접촉하는 것을 특징으로 하는 강유전체 기억 소자.

**【청구항 2】**

제 1 항에 있어서,

상기 플레이트 전극은 적어도 2개의 행들 상에 배열된 상기 강유전체 커패시터들의 상부면들과 직접적으로 접촉하는 국부 플레이트 라인(local plate line)인 것을 특징으로 하는 강유전체 기억소자.

**【청구항 3】**

제2 항에 있어서,

상기 상부 층간절연막을 관통하는 슬릿형 콘택 홀을 통하여 상기 국부 플레이트 라인의 상부면과 직접 접촉하는 주 플레이트 라인을 더 포함하는 강유전체 기억소자.

**【청구항 4】**

제 1 항에 있어서,

상기 플레이트 전극은 서로 이웃한 적어도 2개의 강유전체 커패시터들의 상부면에 직접적으로 접촉하되, 상기 상부 층간절연막에 의해 덮여진 국부 플레이트 전극; 및

상기 상부 층간절연막을 관통하는 슬릿형 콘택 홀을 통하여 적어도 1개의 행들 상에 배열된 상기 국부 플레이트 전극들의 상부면들과 직접적으로 접촉하는 주 플레이트 라인(main plate line)인 것을 특징으로 하는 강유전체 기억소자.

**【청구항 5】**

제 1 항에 있어서,

상기 강유전체 커패시터들의 각각은 상기 하부 층간절연막을 관통하는 스토리지 노드 콘택홀을 통하여 상기 반도체기판의 소정영역과 전기적으로 접속되되, 상기 스토리지 노드 콘택홀의 상부직경은 그것의 하부직경보다 큰 것을 특징으로 하는 강유전체 기억소자.

**【청구항 6】**

제 1 항에 있어서,

상기 강유전체 커패시터들의 각각은 차례로 적층된 하부전극, 강유전체막 패턴 및 상부전극을 포함하되, 상기 플레이트 전극은 서로 이웃한 적어도 2개의 행들 상에 배열된 상기 상부전극들과 직접적으로 접촉하는 것을 특징으로 하는 강유전체 기억소자.

**【청구항 7】**

제 1 항에 있어서,

상기 강유전체 커패시터들 및 상기 상부 층간절연막 사이에 개재된 수소차단막 패턴 (hydrogen barrier layer pattern)을 더 포함하는 것을 특징으로 하는 강유전체 기억소자.

**【청구항 8】**

반도체기판 상에 행 방향 및 열 방향을 따라 2차원적으로 배열된 복수개의 셀 트랜지스터들;

상기 셀 트랜지스터들을 갖는 반도체기판의 전면을 덮는 하부 층간절연막;

상기 하부 층간절연막 상에 상기 행 방향 및 상기 열 방향을 따라 2차원적으로 배열되고, 그 각각은 상기 하부 층간절연막을 관통하는 스토리지 노드 콘택홀을 통하여 상기 각 셀 트랜지스터들과 전기적으로 접속된 강유전체 커패시터들;

상기 강유전체 커패시터들을 갖는 반도체기판 상에 형성되되, 각각의 상기 강유전체 커패시터들의 상부에 배치된 복수개의 비아홀들을 갖는 상부 층간절연막; 및

상기 상부 층간절연막 내에 형성되되, 상기 비아홀들을 통하여 서로 이웃한 적어도 2개의 상기 강유전체 커패시터들의 상부면들과 직접적으로 접촉하는 복수개의 플레이트 전극을 포함하는 강유전체 기억소자.

**【청구항 9】**

제 8 항에 있어서,

상기 상부 층간절연막을 관통하되 적어도 1행 상에 배열된 상기 플레이트 전극들을 노출시키는 슬릿형 콘택홀; 및

상기 슬릿형 콘택홀을 덮는 주 플레이트 라인(main plate line)을 더 포함하는 것을 특징으로 하는 강유전체 기억소자.

【청구항 10】

제 8 항에 있어서,

상기 플레이트 전극은 적어도 2개의 행들 상에 배열된 상기 강유전체 커패시터들의 상부면들과 직접적으로 접촉하는 플레이트 라인(local plate line)인 것을 특징으로 하는 강유전체 기억소자.

【청구항 11】

제 8 항에 있어서,

상기 강유전체 커패시터는 차례로 적층된 하부전극, 강유전체막 패턴 및 상부전극을 포함하되, 상기 플레이트 전극은 서로 이웃한 적어도 2개의 상기 상부전극들과 직접적으로 접촉하는 것을 특징으로 하는 강유전체 기억소자.

【청구항 12】

반도체기판 상에 하부 층간절연막을 형성하는 단계;

상기 하부 층간절연막 상에 행 방향 및 열 방향을 따라 2차원적으로 배열된 복수개의 강유전체 커패시터들을 형성하는 단계; 및

상기 강유전체 커패시터들을 갖는 반도체기판의 전면에 각각의 상기 강유전체 커패시터들의 상부에 배치된 비아홀들을 갖는 상부층간절연막 및 상기 상부 층간절연막 내에 형성된 복수개의 플레이트 전극들을 형성하는 단계를 포함하되, 상기 플레이트 전극들의 각각은 서로 이



옳한 적어도 2개의 강유전체 커패시터들의 상부면들과 직접 접촉하는 것을 특징으로 하는 강유전체 기억소자의 제조방법.

【청구항 13】

제 12 항에 있어서,

상기 복수개의 강유전체 커패시터들을 형성하는 단계는

상기 하부 층간절연막 상에 하부전극막, 강유전체막 및 상부전극막을 차례로 형성하는 단계; 및

상기 상부전극막, 상기 강유전체막 및 상기 하부전극막을 연속적으로 패터닝하여 상기 행 방향 및 상기 열 방향을 따라 2차원적으로 배열된 복수개의 하부전극들, 상기 하부전극들 상에 적층된 복수개의 강유전체막 패턴들 및 상기 강유전체막 패턴들 상에 적층된 복수개의 상부전극들을 형성하는 단계를 포함하는 것을 특징으로 하는 강유전체 기억소자의 제조방법.

【청구항 14】

제 12 항에 있어서,

상기 상부 층간절연막 및 상기 플레이트 전극들을 형성하는 단계는

상기 강유전체 커패시터들이 형성된 반도체기판의 전면에서 제1 상부 층간절연막을 형성하는 단계;

상기 제1 상부 층간절연막을 패터닝하여 각각의 상기 강유전체 커패시터들의 상부면을 노출시키는 복수개의 비아홀들을 형성하는 단계;

상기 복수개의 비아홀들을 갖는 반도체기판 전면에서 하부 플레이트막을 형성하는 단계;

상기 하부 플레이트막을 패터닝하여 복수개의 플레이트 전극들을 형성하되, 상기 각 플레이트 전극은 서로 이웃한 적어도 2개의 상기 강유전체 커패시터들의 상부면들과 직접 접촉하는 단계; 및

상기 복수개의 플레이트 전극들을 갖는 반도체 기판 상에 제2 상부 층간절연막을 형성하는 단계를 포함하는 강유전체 기억소자의 제조방법.

【청구항 15】

제 14 항에 있어서,

상기 플레이트 전극은 서로 이웃한 적어도 2행 상에 배열된 상기 강유전체 커패시터들의 상부면들과 직접 접촉하게 형성하는 것을 특징으로 하는 강유전체 기억소자의 제조방법.

【청구항 16】

제 14 항에 있어서,

상기 제1 상부 층간절연막을 형성하는 단계 전에,

상기 강유전체 커패시터들을 갖는 반도체기판 전면에 수소차단막을 콘포말하게 형성하는 단계를 더 포함하되, 상기 상부전극들 상의 상기 수소차단막은 상기 비아홀들을 형성하는 동안 제거되는 것을 특징으로 하는 강유전체 기억소자의 제조방법.

【청구항 17】

제 14 항에 있어서,

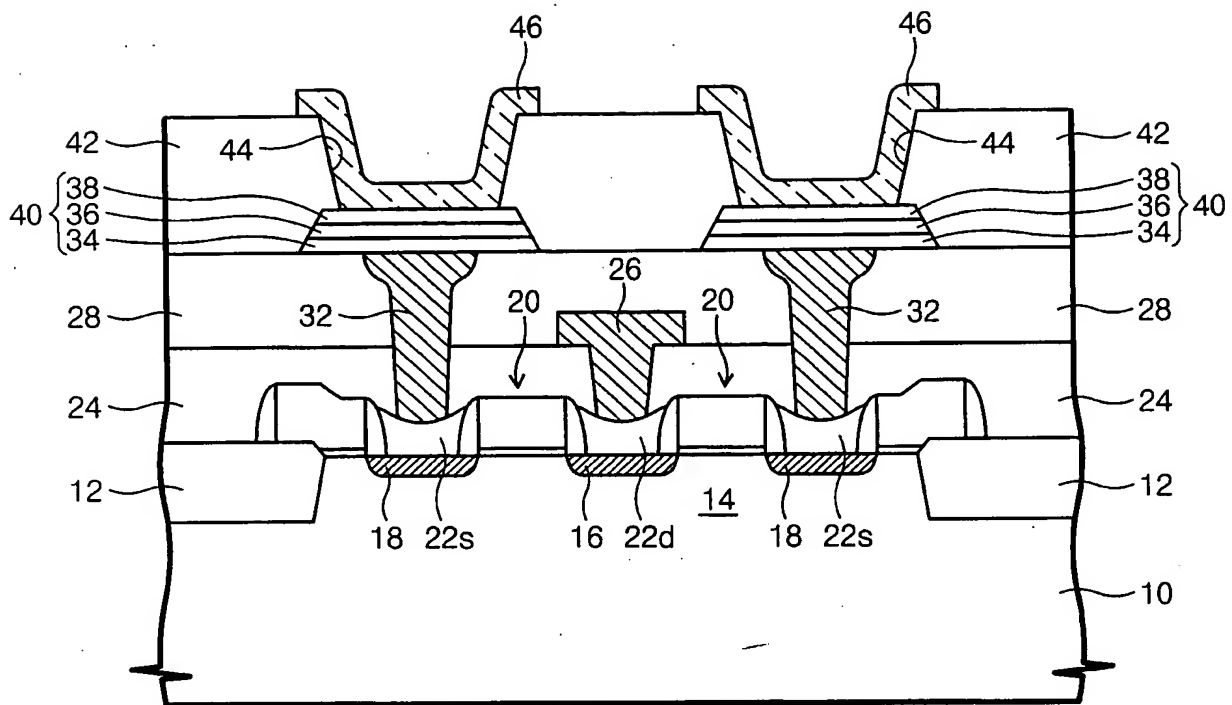
상기 제2 상부 층간절연막을 패터닝하여 상기 플레이트 전극들을 노출시키고 상기 행방향과 평행한 슬릿형 콘택홀을 형성하는 단계; 및

상기 슬릿형 콘택홀을 덮는 주 플레이트 라인을 형성하는 단계를 더 포함하는 것을 특징  
으로 하는 강유전체 기억소자의 제조방법.

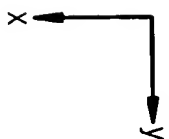
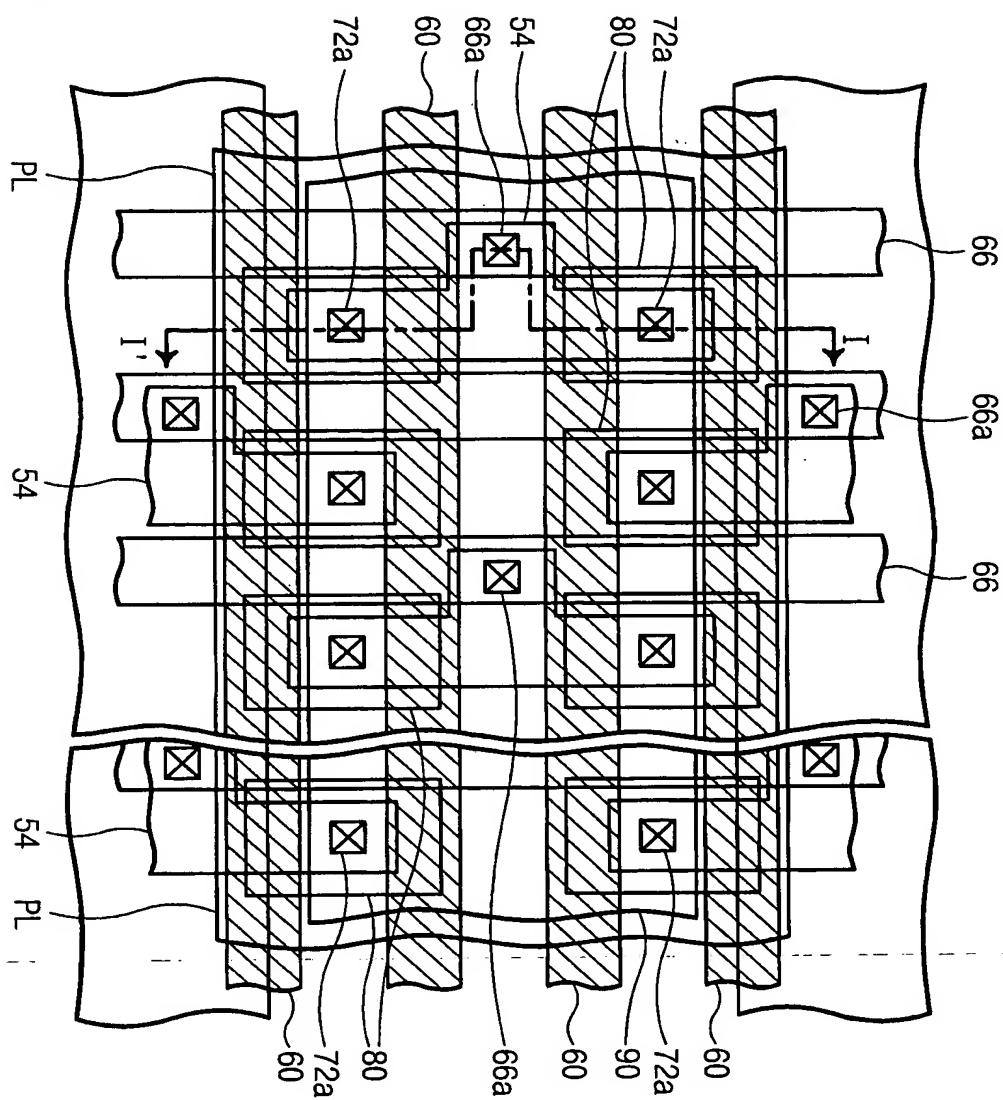
【도면】

【도 1】

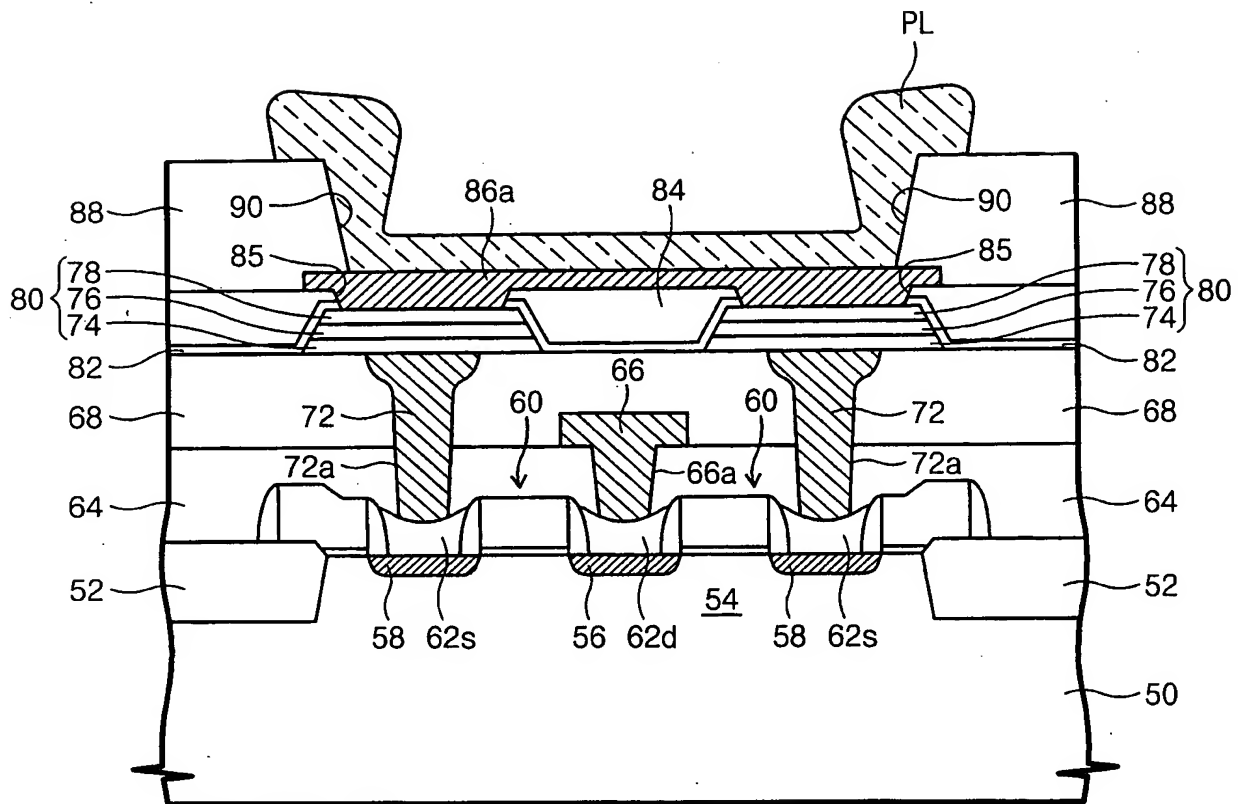
(종래 기술)



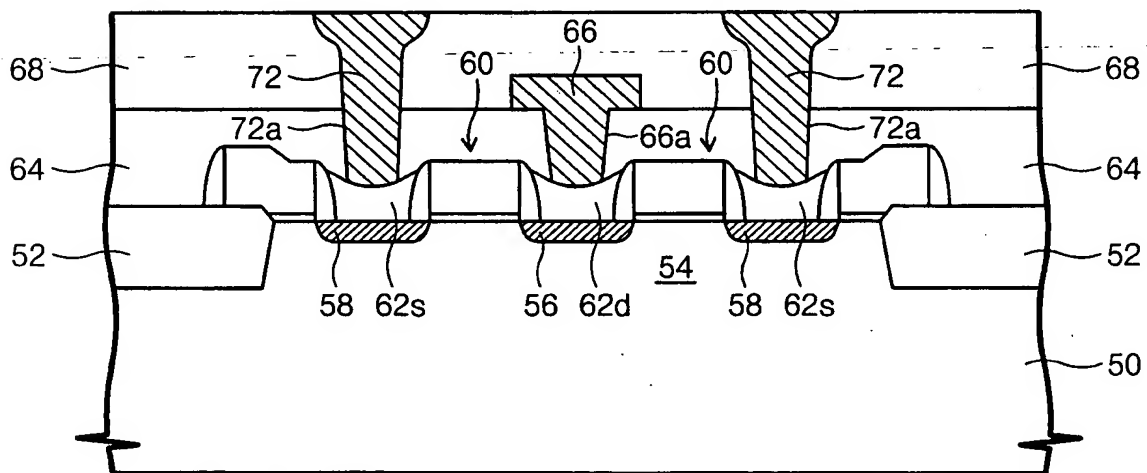
【도 2】



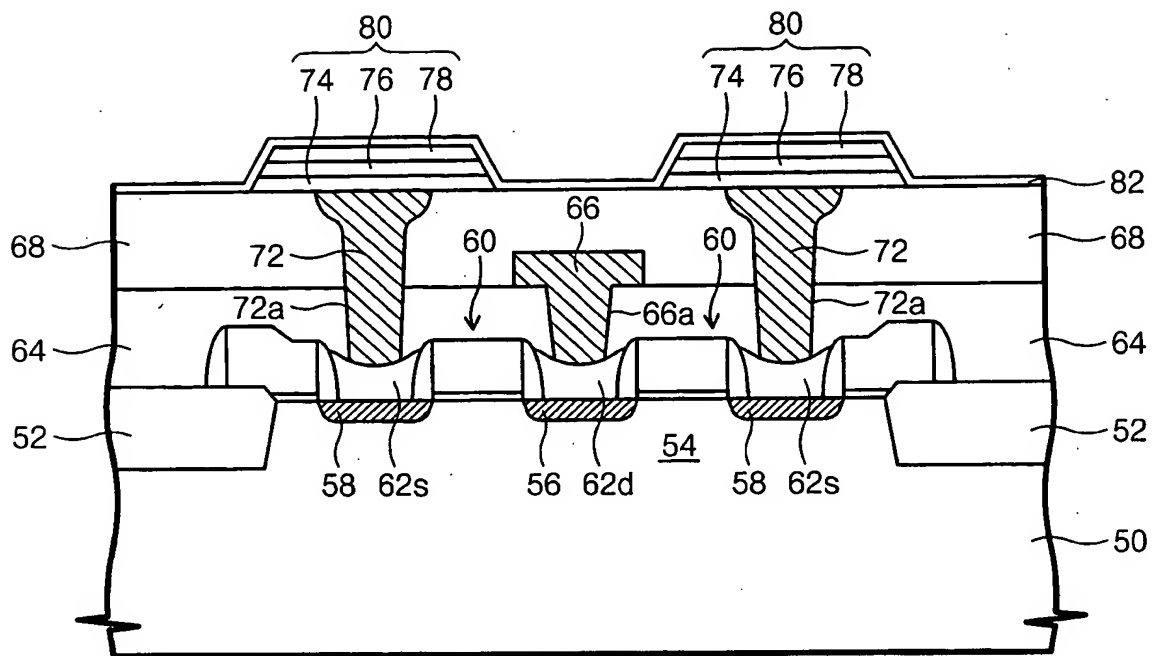
【도 3】



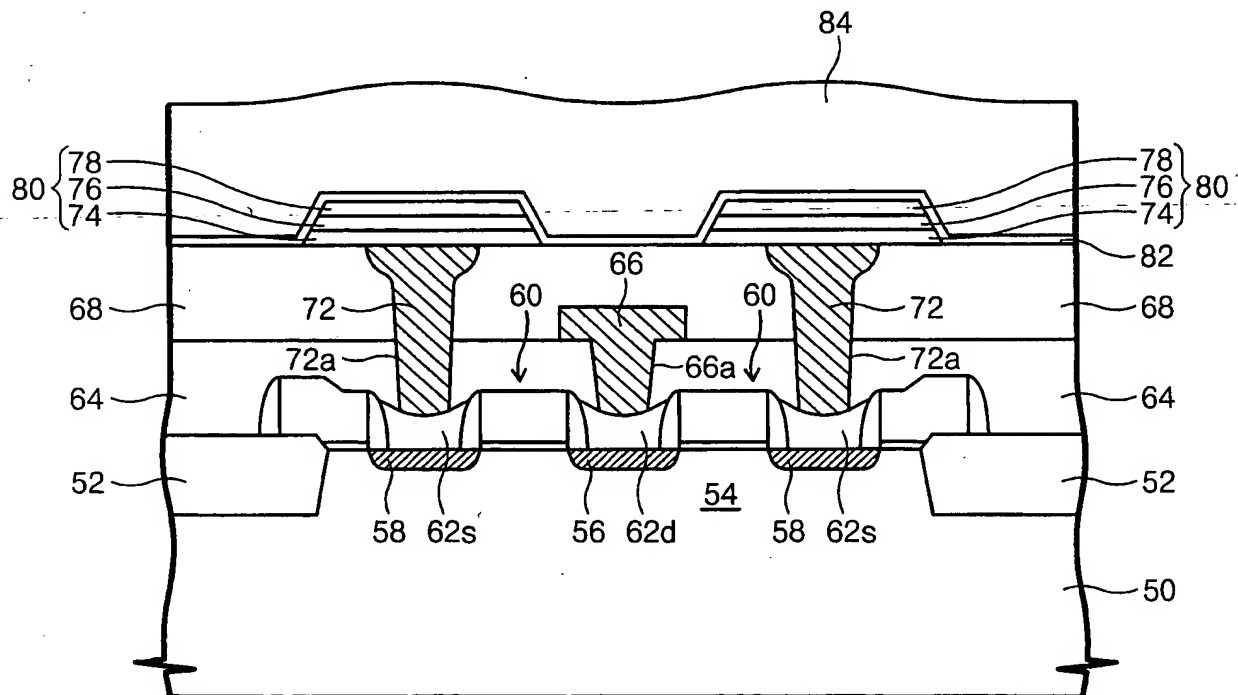
【도 4】



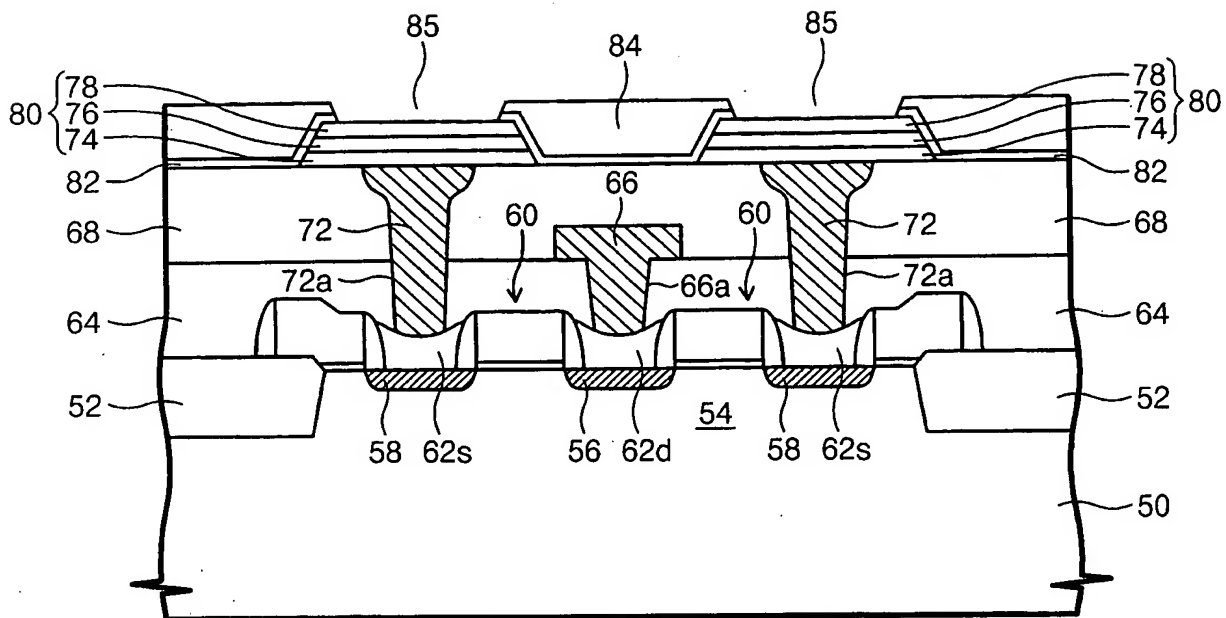
【도 5】



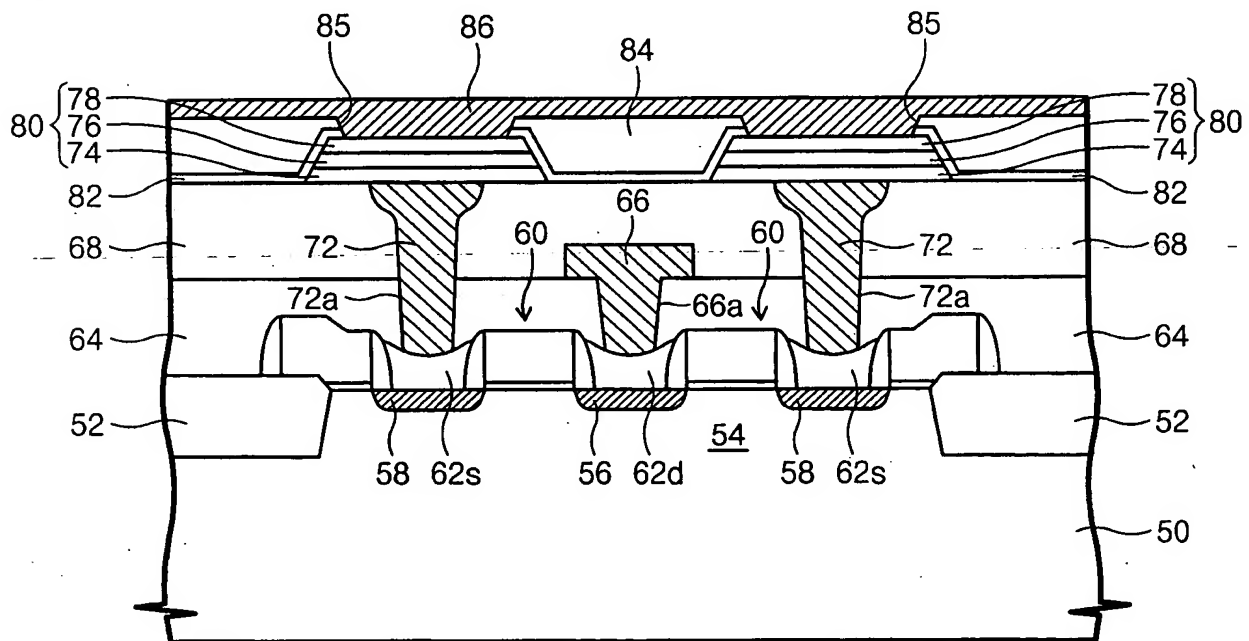
【도 6】



【도 7】

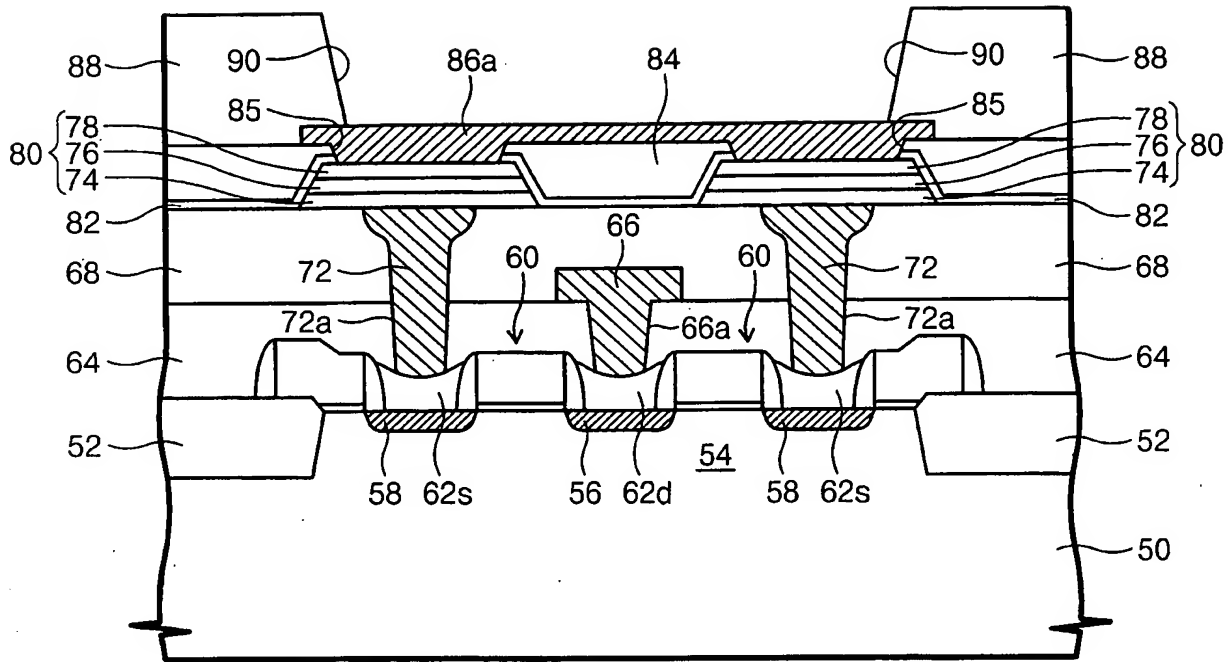


【도 8】





【도 9】



【도 10】

